

## 第三章 引脚功能

### 3.1 引脚功能列表

#### (1) 端口引脚

引脚名称	I/O	功能	复位后	复用功能
P00 ~ P07	I/O	端口 0 8 位 I/O 端口。 可以位选输入/输出方式。	输入	KR0 ~ KR3
P20	I/O	端口 2 2 位 I/O 端口。 可以位选输入/输出方式。	输入	TMO/BSF0
P21				TMI
P40 ~ P43	输入	端口 4 4 位输入端口。 对于掩膜 ROM 版本，可通过掩膜选项指定内置上拉电阻	输入	KR10 ~ KR13

#### (2) 非端口引脚

引脚名称	I/O	功能	复位后	复用功能
TMI	输入	8 位定时器 (TM40) 输入	输入	P21
TMO	输出	8 位定时器 (TM40) 输出	输入	P20/BSF0
BSF0	输出	位序列缓冲器 (BSF10) 输出	输入	P20/TMO
KR10~KR13	输入	按键返回输入	输入	P40 ~P43
X1 <sup>注1</sup>	输入	系统时钟振荡的晶体/陶瓷振荡器连接	-	-
X2 <sup>注1</sup>	-		-	-
CL1 <sup>注2</sup>	输入	系统时钟振荡器的电阻 (R) 和电容 (C) 连接	-	-
CL2 <sup>注2</sup>	-		-	-
RESET	输入	系统复位输入	输入	-
V <sub>DD</sub>	-	电源电压	-	-
V <sub>SS</sub>	-	地	-	-
IC	-	内部连接，直接与 V <sub>SS</sub> 连接	-	-
V <sub>PP</sub>	-	此引脚用于设置 EEPROM 编程模式并在程序写入或校验时输入一高电平	-	-

- 注 1. 仅用于  $\mu$ PD789052 子系列  
 2. 仅用于  $\mu$ PD789062 子系列

## 3.2 引脚功能描述

### 3.2.1 P00 ~ P07 (端口 0)

端口 0 是一个 8 位 I/O 端口，可通过端口模式寄存器 0 (PM0) 位选输入或输出模式。

### 3.2.2 P20, P21 (端口 2)

端口 2 是一个 2 位 I/O 端口，此外，该端口还具有作为定时器输入/输出和位序列缓冲器输出的功能。

端口 2 能以 1 位为单位选择以下的操作模式。

#### (1) 端口模式

在此模式中，端口 2 是一个 2 位 I/O 端口，端口 2 可通过端口模式寄存器 2 (PM2) 位选输入或输出模式。

#### (2) 控制模式

在此模式中，端口 2 有作为定时器输入/输出和位序列缓冲器输出的功能。

##### (a) BSFO

这是位序列缓冲器的输出引脚。

##### (b) TMI

这是定时器 40 的外部时钟输入引脚。

##### (c) TMO

这是定时器 40 的输出引脚。

### 3.2.3 P40 ~ P43 (端口 4)

端口 4 是一个 4 位输入端口，此外，该端口还有按键返回输入的功能。

#### (1) 端口模式

在此模式中，端口 4 是一个 4 位输入端口，对于掩膜 ROM 版本，可通过掩膜选项指定内置上拉电阻。

#### (2) 控制模式

在此模式中，P40~P43 有按键返回输入的功能 (KR10~KR13)。

### 3.2.4 $\overline{\text{RESET}}$

该引脚输入低有效的系统复位信号。

### 3.2.5 X1, X2 ( $\mu$ PD789052 子系列)

这些引脚用来连接作为系统时钟振荡的晶体振荡器。

支持外部时钟信号，将输入的时钟信号连接到 X1 引脚，它的反相信号连接到 X2 引脚。

### 3.2.6 CL1, CL2 ( $\mu$ PD789062 子系列)

这些引脚用来连接作为系统时钟振荡的电阻 (R) 和电容 (C)。

支持外部时钟信号，将输入的时钟信号连接到 CL1 引脚，它的反相信号连接到 CL2 引脚。

### 3.2.7 V<sub>DD</sub>

该引脚提供正电压。

### 3.2.8 V<sub>SS</sub>

该引脚是地电平引脚。

### 3.2.9 V<sub>PP</sub> (仅用于 $\mu$ PD78E9860A, 78E9861A)

当设置 EEPROM 编程模式和程序写入或校验时，须输入一个高电平至此引脚。

使用以下方法之一处理该引脚。

- 单独连接一个 10 k $\Omega$  的上拉电阻。
- 在编程模式下，将该引脚直接连接到专用的 FLASH 编程器上或者在正常操作模式下，通过电路板上的跳线将该引脚连接到 V<sub>SS</sub>。

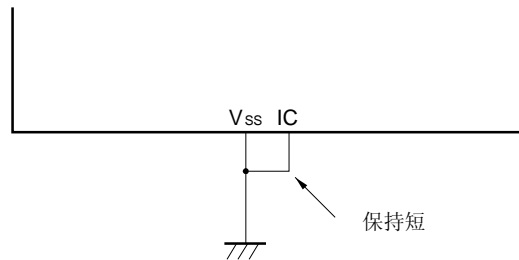
如果 V<sub>PP</sub> 引脚和 V<sub>SS</sub> 引脚之间的连线过长，或者由于 V<sub>PP</sub> 引脚上的外部噪声，用户程序可能不能正确运行。

### 3.2.10 IC (仅用于掩膜 ROM 版本)

IC (内部连接) 引脚用来在出货前将 $\mu$ PD789052 和 789062 设置成测试模式。在正常操作模式下，直接将该引脚连接到 V<sub>SS</sub>，并使连线尽量短。

如果由于 IC 引脚和 V<sub>SS</sub> 之间的连线过长使得 IC 引脚和 V<sub>SS</sub> 之间的电位不同，或者 IC 引脚上有外部噪声，那么用户程序可能不能正确的运行。

- 直接将 IC 引脚连接到 V<sub>SS</sub> 引脚



### 3.3 引脚 I/O 电路和未使用引脚的推荐连接方式

输入输出电路类型和未被使用引脚的推荐连接方式见表 3-1。

各类型输入输出电路结构如图 3-1 所示。

表 3-1. 引脚 I/O 电路类型和未使用引脚的推荐连接方式

引脚名称	I/O 电路类型	I/O	未使用引脚的推荐连接方式
P00 ~ P07	5	I/O	输入：通过电阻单独连接到 V <sub>DD</sub> 或 V <sub>SS</sub> 输出：悬空
P20/TM0/BSF0			
P21/TM1			
P40/KR10 ~ P43/KR13 (掩膜 ROM 版本)	2-E	输入	直接连接到 V <sub>DD</sub> 或 V <sub>SS</sub>
P40/KR10 ~ P43/KR13 ( $\mu$ PD78E9860A, 78E9861A)	2		
RESET	-		
IC	-	-	直接连接到 V <sub>SS</sub> .
V <sub>PP</sub>	-	-	单独连接一个 10k $\Omega$ 上拉电阻或直接连接到 V <sub>SS</sub> .

图 3-1. 引脚 I/O 电路

